

AVVISO ESPLORATIVO PER MANIFESTAZIONE DI INTERESSE A PARTECIPARE ALLA PROCEDURA NEGOZIATA PER L’AFFIDAMENTO DEL SERVIZIO DI FABBRICAZIONE DI DISPOSITIVI CMOS TRAMITE MLM (MULTI LAYER MASK).

La Fondazione Bruno Kessler nel rispetto dei principi di pubblicità, trasparenza, parità di trattamento, non discriminazione e proporzionalità, intende acquisire manifestazioni di interesse a partecipare alla procedura negoziata che verrà attivata per l’affidamento del servizio di simulazione e fabbricazione dei ASIC chip di controllo elettronico per le attività del progetto H2020 EPIQUS Electronic-photonic integrated quantum simulator platform (GA No. 899368).

Il presente avviso è finalizzato esclusivamente alla ricezione di manifestazioni di interesse per favorire la partecipazione di un numero adeguato di operatori economici potenzialmente interessati all’affidamento.

Il presente avviso non presuppone la formazione di una graduatoria o l’attribuzione di punteggi e non è impegnativo per la Fondazione che si riserva, in ogni caso e in qualsiasi momento, il diritto di sospendere, interrompere, modificare o cessare la presente indagine conoscitiva senza che ciò possa costituire diritto o pretesa di qualsivoglia natura, indennizzo o rimborso dei costi eventualmente sostenuti.

La presentazione di manifestazione di interesse ha il solo scopo di comunicare alla Fondazione la disponibilità ad essere selezionati al fine di partecipare procedura negoziata che sarà attivata a norma della L.P. 2/2016 e della L.P. 23/1990.

*** ***** ***

1. PREMESSA

Il progetto EPIQUS (www.epiqus.eu) mira a dimostrare un simulatore quantistico (QS) economico, facile da usare e performante basato sulla piena integrazione della fotonica del nitruro di silicio con l’elettronica del silicio. L’obiettivo principale di EPIQUS è stabilire una tecnologia fondamentale - dimostrare il primo dispositivo rivoluzionario - che simulerà i problemi della meccanica quantistica in un dispositivo compatto che funziona a temperatura ambiente.

L’obiettivo è quello di sviluppare un simulatore quantistico portando su una piattaforma di semiconduttori unica le funzionalità microelettroniche di silicio maturo (CMOS, digitale) e micro-fotoniche quantistiche di nitruro di silicio. All’interno di EPIQUS svilupperemo un simulatore quantistico integrato 3D, dove (1) un circuito di interferenza quantistica fotonica, che ospita (1a) sorgenti di fotoni entangled scalabili (pompe da un laser a diodi pulsati NIR per produrre coppie di fotoni su chip tramite quattro onde non lineari miscelazione), (1b) la fase di preparazione dello stato e (1c) il circuito di interferenza quantistica riconfigurabile a 16 qubit, saranno integrati monoliticamente sullo stesso chip fotonico Si con (2) array scalabili di rivelatori di valanghe a fotone singolo (SPAD al silicio) che operano a ~ 850nm ea temperatura ambiente. Sarà costruito un sistema integrato, in cui a "livello software" un algoritmo quantistico sosterrà i risultati della simulazione quantistica dall’hardware. In quest’ultimo, un chip analogico personalizzato controllerà il modulo QS gestendo il laser a pompa pulsata, i variatori di fase (necessari per riconfigurare il QS) e gli SPAD per controllare attivamente il

circuito ottico quantistico. Infine, i dati in uscita saranno gestiti dal chip digitale per alimentare l'algoritmo del software. EPIQUS prevede la scalabilità fino a 50 qubit utilizzando la tecnologia innovativa proposta.

Il consorzio EPIQUS è basato su diversi gruppi di paesi dell'UE e un partner non UE con competenze diversificate, che vanno da materiali, dispositivi, ingegneria dei circuiti fotonici ed elettronici, tecnologia di microfabbricazione, ottica e spettroscopia quantistica, tecnologie dell'informazione.

Il partner di progetto TUW-Technical University of Vienna progetta i circuiti di controllo analogico per il chip quantistico in tecnologia CMOS avanzata in un chip per la sincronizzazione ottimale del laser della pompa esterna e del gating / sincronizzazione SPAD integrato su una scala temporale molto inferiore a 1ns. Si tratta di driver laser a basso jitter, circuiti di controllo del riscaldatore per sfasatori, circuiti di controllo SPAD e sensore di temperatura / controllo degli SPAD tramite un dispositivo di raffreddamento Peltier. È necessario un DAC (Digital-Analog Converter) per sfasatore a causa della mancata corrispondenza. Progettazione di un amplificatore buffer per le uscite DAC.

Per il completamento di questo compito specifico, il Consorzio EPIQUS richiede che le seguenti attività siano svolte da un soggetto esterno specializzato nel settore, cui sarà richiesto di svolgere:

1. Attività di ricerca e sviluppo attraverso simulazioni di dispositivi specifici di uno SPAD ad alto PDP prima dell'inizio del primo ciclo di fabbricazione.
2. Un primo ciclo di fabbricazione deve produrre il chip ASIC in una tecnologia CMOS da 0,18 μm e caratterizzato da TUW.
3. In una riprogettazione (2 ° ciclo di fabbricazione), i circuiti di controllo saranno adattati all'incollaggio flip-chip e saranno ottimizzati.

2. OGGETTO DEL CONTRATTO, DURATA E VALORE STIMATO DEL CONTRATTO:

Il servizio richiesto consiste nelle attività di simulazione e fabbricazione dei ASIC chip di controllo elettronico per le attività del progetto H2020 EPIQUS (GA No. 899368), come di seguito specificato:

- **Simulazioni**

Simulazioni di un dispositivo high-PDP SPAD (Single-Photon Avalanche Diode). Simulazioni di processi e dispositivi per la determinazione dei parametri di impianto per la regione valanga al fine di esaurire la zona di assorbimento spesso e per la determinazione della tensione di rottura. I parametri tipici della zona di assorbimento dovrebbero essere $> 20\mu\text{m}$, $> 500 \text{ Ohm} \cdot \text{cm}$, a una lunghezza d'onda di 850 nm.

- **Fabbricazione**

1st Fabrication RUN:

Technology node $\leq 0.18\mu\text{m}$

4 metal layers (4th layer: thick metal)
 Wafer split: usual substrate – thick low-doped p- epitaxial layer (thickness > 20µm, > 500 Ohm*cm) on p+ bulk, >=2 wafers each guaranteed.
 High-voltage capability (high isolation capability of MOSFETs towards negative substrate > 40V)
 High-voltage MOSFETs (drain-source voltage > 10V)
 Chip size: 10*10mm² / 20*10mm²

2nd Fabrication RUN:

Technology node <=0.18µm
 4 metal layers (4th layer: thick metal)
 Wafer split: usual substrate – thick low-doped p- epitaxial layer (thickness > 20µm, > 500 Ohm*cm) on p+ bulk, >=2 wafers each guaranteed.
 High-voltage capability (high isolation capability of MOSFETs towards negative substrate > 40V)
 High-voltage MOSFETs (drain-source voltage > 10V)
 Chip size: 10*10mm² / 20*10mm²

- **Durata**

Il contratto avrà la durata di 24 mesi con decorrenza dalla data della sottoscrizione fino alla conclusione della fabbricazione del 2° RUN.

- **Importo contrattuale:**

L'importo stimato per la realizzazione complessiva delle attività di simulazione e fabbricazione è stimata in euro 200.000,00 (iva esente ex art. 72, comma 1 lett. c) del DPR 633/1972).

3. CRITERI DI SELEZIONE DELL'OPERATORE ECONOMICO AFFIDATARIO:

La procedura di gara sarà esperita secondo il criterio dell'offerta economicamente più vantaggiosa ai sensi dell'art. 16 della L.P. 9 marzo 2016 n. 2 e dell'art. 95 del D.Lgs. 18 aprile 2016 n. 50.

Ad ogni offerta verranno attribuiti un massimo di 100 punti, così suddivisi:

A) ELEMENTI TECNICI (punteggio tecnico)	90/100
B) ELEMENTI ECONOMICI (punteggio economico)	10/100
PUNTEGGIO COMPLESSIVO	100

L'attribuzione del punteggio tecnico verrà definita sulla base delle specifiche individuate al punto precedente.

4. REQUISITI RICHIESTI:

Per partecipare alla procedura negoziata i concorrenti dovranno possedere i seguenti requisiti:

- Assenza dei motivi di esclusione dalla partecipazione alle procedure d'appalto ex art.80 D.Lgs. 50 del 2016 (art. 57 Direttiva 2014/24/UE).

- Iscrizione, per attività inerente a quella in oggetto, nel registro della Camera di commercio, industria, artigianato e agricoltura, ovvero analogo registro professionale o commerciale dello Stato membro in cui ha sede l'operatore economico.

5. MODALITA' DI PRESENTAZIONE DELLE MANIFESTAZIONI DI INTERESSE E DI SELEZIONE DELLE CANDIDATURE:

Le manifestazioni di interesse dovranno essere inoltrate compilando il modulo on-line al <https://www.fbk.eu/it/manifestazione-di-interesse-per-lavori-servizi-e-forniture/> entro e non oltre il giorno mercoledì 07 aprile 2021 alle ore 23.59.

Si precisa che, nel caso in cui pervenga una sola manifestazione di interesse, la Fondazione - trattandosi di attività inerenti la realizzazione di programmi di ricerca ad elevato contenuto tecnico o scientifico - si riserva la facoltà di procedere a trattativa diretta con il soggetto ritenuto idoneo secondo quanto previsto dall'art. 21 comma 2 lett. d) e comma 4 della Legge provinciale 19 luglio 1990, n. 23.

*** ***** ***

Si informa che i dati forniti dagli operatori economici verranno trattati esclusivamente per le finalità connesse all'espletamento della procedura in oggetto sensi dell'art. 13 del Regolamento EU n. 2016/679 (GDPR).

Per eventuali chiarimenti scrivere a gare@fbk.eu.

Responsabile del Procedimento per la fase di affidamento: Paola Angeli.

Trento, lì 22 marzo 2021

Paola Angeli

Responsabile Servizio Appalti e Contratti

(f.to digitalmente)